

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-147101

(43)Date of publication of application : 06.06.1997

(51)Int.CI.

G06T 5/00  
H04N 5/20  
// G09G 5/10

(21)Application number : 07-328358

(71)Applicant : SONY CORP

(22)Date of filing : 22.11.1995

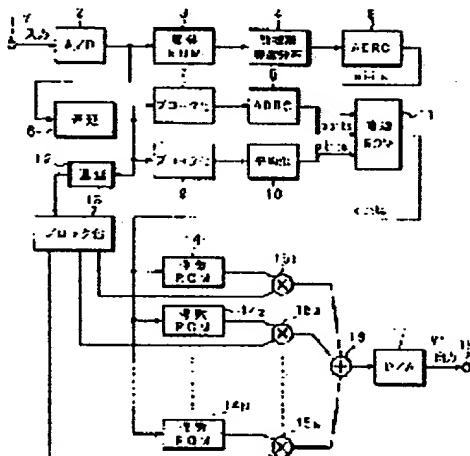
(72)Inventor : KONDO TETSUJIRO  
NAKAYA HIDEO  
HORISHI MASARU

## (54) DEVICE AND METHOD FOR IMAGE SIGNAL PROCESSING

### (57)Abstract:

PROBLEM TO BE SOLVED: To perform detailed correction corresponding to a luminance distribution.

SOLUTION: A digitized luminance value Y is passed through a conversion ROM 3, a luminance-by-area distribution circuit 4, and an ADRC circuit 5 from an A/D converting circuit 2, and then the frequency distribution of all luminance values of one field or one frame is encoded by areas and outputted as an (n)-bit code. Pixels divided into blocks about a pixel of interest are encoded through a block dividing circuit 7 and an ADRC circuit 8 and outputted as an (m)-bit code. The luminance values of the pixels in the blocks are averaged through a block dividing circuit 9 and an averaging circuit 10 and shifted, and outputted as a (p)-bit code. A degeneration ROM 11 degenerates the data from (n+m+p) bits to (q) bits and coefficient data corresponding to the class code of the (q) bits is read out of a coefficient ROM 14, so that the sum of products is calculated.



## LEGAL STATUS

[Date of request for examination] 05.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 T 5/00			G 0 6 F 15/68	3 1 0 J
H 0 4 N 5/20			H 0 4 N 5/20	
// G 0 9 G 5/10	9377-5H		G 0 9 G 5/10	B

## 審査請求 未請求 請求項の数7 FD (全14頁)

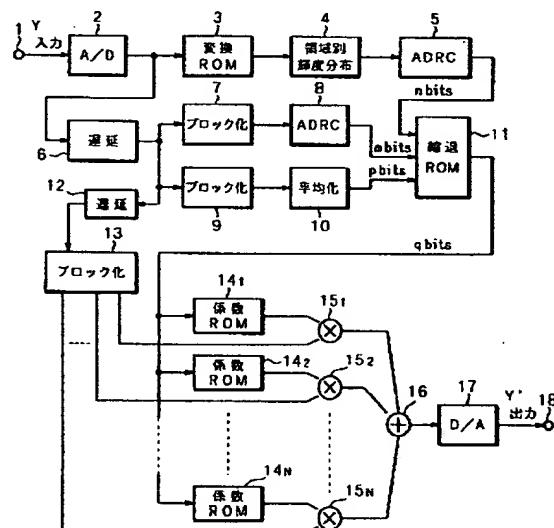
(21)出願番号	特願平7-328358	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成7年(1995)11月22日	(72)発明者	近藤 哲二郎 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72)発明者	中屋 秀雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72)発明者	堀土 賢 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	弁理士 杉浦 正知

## (54)【発明の名称】 画像信号処理装置および方法

## (57)【要約】

【課題】 輝度分布に応じた極め細かい輝度補正を行う。

【解決手段】 A/D変換回路2からデジタル化された輝度値Yが変換ROM3、領域別輝度分布回路4およびADRC回路5を通過することによって、1フィールドまたは1フレームの全輝度値の度数分布の領域毎の符号化がなされ、nビットのコードとして、出力される。ブロック化回路7、ADRC回路8を通過することによって、注目画素を中心としてブロック化された画素に対して符号化がなされ、mビットのコードとして出力される。ブロック化回路9、平均化回路10を通過することによって、ブロック化された画素の輝度値を平均化した後、シフトし pビットのコードとして出力される。縮退ROM11では、(n+m+p)ビットからqビットへ縮退され、qビットのクラスコードに応じた係数データが係数ROM14から読み出され、積和演算される。



## 【特許請求の範囲】

【請求項1】 映像信号の輝度値に対して、所定期間内の度数分布を測定する手段と、  
上記度数分布を適当な領域に分割して上記領域内の積算値を正規化することによって、上記度数分布をパターン化して、nビットで表現する第1のクラス分類手段と、  
予めクラス毎に最小自乗法による学習処理で求められた係数データが格納された係数メモリと、  
上記第1のクラス分類手段からのnビットにより、上記係数データを上記係数メモリから読み出し、線形1次結合演算によって、補正輝度値を予測する手段とからなることを特徴とする画像信号処理装置。

【請求項2】 映像信号の輝度値に対して、所定期間内の度数分布を測定する手段と、  
上記度数分布の平均値および標準偏差が算出され、上記平均値および標準偏差を量子化することによって、量子化された上記平均値および標準偏差をまとめて、nビットで表現する第1のクラス分類手段と、  
予めクラス毎に最小自乗法による学習処理で求められた係数データが格納された係数メモリと、  
上記第1のクラス分類手段からのnビットにより、上記係数データを上記係数メモリから読み出し、線形1次結合演算によって、補正輝度値を予測する手段とからなることを特徴とする画像信号処理装置。

【請求項3】 請求項1または請求項2に記載の画像信号処理装置において、  
注目画素の周辺画素を含む複数個の画素をブロック化し、ブロック毎に空間のパターン分類を行い、上記注目画素に関してmビットで表現する第2のクラス分類手段とをさらに有することを特徴とする画像信号処理装置。

【請求項4】 請求項1または請求項2に記載の画像信号処理装置において、  
注目画素の周辺画素の輝度値を平均化し、平均化された上記輝度値をpビットで表現する第3のクラス分類手段とをさらに有することを特徴とする画像信号処理装置。

【請求項5】 請求項1または請求項2に記載の画像信号処理装置において、  
注目画素の周辺画素を含む複数個の画素をブロック化し、ブロック毎に空間のパターン分類を行い、上記注目画素に関してmビットで表現する第2のクラス分類手段と、

注目画素の周辺画素の輝度値を平均化し、平均化された上記輝度値をpビットで表現する第3のクラス分類手段と、  
上記第1、第2および第3のクラス分類手段によって表現された上記nビット、mビットおよびpビットを組合せ、(n+m+p)ビットのクラス分類情報から、縮退することによってp(<(n+m+p))ビットのクラス分類情報を生成する手段とからなることを特徴とする画像信号処理装置。

【請求項6】 映像信号の輝度値に対して、所定期間内の度数分布を測定するステップと、

上記度数分布を適当な領域に分割して上記領域内の積算値を正規化することによって、上記度数分布をパターン化して、nビットで表現する第1のクラス分類のステップと、

予めクラス毎に最小自乗法による学習処理で求められた係数データが格納された係数メモリと、

上記第1のクラス分類手段からのnビットにより、上記係数データを上記係数メモリから読み出し、線形1次結合演算によって、補正輝度値を予測するステップとからなることを特徴とする画像信号処理方法。

【請求項7】 映像信号の輝度値に対して、所定期間内の度数分布を測定するステップと、

上記度数分布の平均値および標準偏差が算出され、上記平均値および標準偏差を量子化することによって、量子化された上記平均値および標準偏差をまとめて、nビットで表現する第1のクラス分類のステップと、

予めクラス毎に最小自乗法による学習処理で求められた係数データが格納された係数メモリと、

上記第1のクラス分類手段からのnビットにより、上記係数データを上記係数メモリから読み出し、線形1次結合演算によって、補正輝度値を予測するステップとからなることを特徴とする画像信号処理方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、画像信号の輝度値をクラス分類適応処理を用いて補正するようにした画像信号処理装置および方法に関する。

## 【0002】

【従来の技術】通常、画像信号処理装置において、輝度補正是、画面内の輝度値の積分値（全受光量に相当する）を求め、これに応じてアンプのゲインを変化させて輝度補正を行っていた。

## 【0003】

【発明が解決しようとする課題】しかしながら、空間内で見るとどの画素にも一定のゲインが掛かっており、暗い部分のみを明るくしたり、明るい部分のみを暗くしたり、という細かい補正を行うことができなかった。

【0004】従って、この発明の目的は、輝度分布のパターン分類に応じた輝度補正と、空間内のパターン分類および輝度値の平均値に応じた部分的な輝度補正とを行うことによりきめの細かい輝度補正を行うことができる画像信号処理装置および方法を提供することにある。

## 【0005】

【課題を解決するための手段】請求項1に記載の発明は、映像信号の輝度値に対して、所定期間内の度数分布を測定する手段と、度数分布を適当な領域に分割して領域内の積算値を正規化することによって、度数分布をパターン化して、nビットで表現する第1のクラス分類手

段と、予めクラス毎に最小自乗法による学習処理で求められた係数データが格納された係数メモリと、第1のクラス分類手段からのnビットにより、係数データを係数メモリから読み出し、線形1次結合演算によって、補正輝度値を予測する手段とからなることを特徴とする画像信号処理装置である。

【0006】また、請求項6に記載の発明は、映像信号の輝度値に対して、所定期間内の度数分布を測定するステップと、度数分布を適当な領域に分割して領域内の積算値を正規化することによって、度数分布をパターン化して、nビットで表現する第1のクラス分類のステップと、予めクラス毎に最小自乗法による学習処理で求められた係数データが格納された係数メモリと、第1のクラス分類手段からのnビットにより、係数データを係数メモリから読み出し、線形1次結合演算によって、補正輝度値を予測するステップとからなることを特徴とする画像信号処理方法である。

【0007】1フィールドまたは1フレーム内の輝度値の度数の積算値に対してADRC符号化（適応的ダイナミックレンジ符号化）を行うことにより、nビットのコードが発生し、注目画素の周辺の空間内の複数の画素、すなわちブロック化された画素に対してADRC符号化を行うことにより、mビットのコードが発生し、ブロック化された画素の輝度値の平均値をシフトすることによって、p(<8)ビットのコードが発生し、縮退ROMによって、(n+m+p)ビットからqビットに減少させたクラスコードが発生し、このクラスコードに応じた係数データが読み出され、その係数データを用いた線形1次結合式によって、補正された輝度値が生成される。

#### 【0008】

【発明の実施の形態】以下、この発明の一実施例について図面を参照して説明する。図1において、1で示す入力端子からの画像信号の内、輝度信号YがA/D変換器2によってアナログ信号からデジタル信号に変換される。このA/D変換器2では、例えば13.5MHzのクロックでサンプリングが行われた場合、画像のサイズは、1フレームあたり、横720画素×縦480ライン程度となる。デジタル信号に変換された輝度信号は、A/D変換器2から変換ROM3および遅延回路6へ供給される。

【0009】変換ROM3では、供給された輝度値と領域の対応付けが行われる。具体的には、8ビット(0~255)からなる輝度値が入力され、この輝度値をある複数の領域、例えばs個の領域に分ける働きが変換ROM3では行われる。また、この変換ROM3によって分けられた複数の領域毎に、領域別輝度分布回路4では、例えば1フィールドまたは1フレーム内の度数の積算が行われる。その積算値は、ADRC回路5へ供給される。ADRC回路5では、後述するように、領域毎に、例えばaビットの量子化が行われ、トータルnビット

(n=s×a)のコードが発生する。このnビットのコードは、ADRC回路5から縮退ROM11へ供給される。

【0010】ここで、変換ROM3、領域別輝度分布回路4およびADRC回路5の動作を図2を用いて説明する。図2Aに示すように、例えば1フィールドまたは1フレーム内の輝度値の度数分布を計数しようとする場合、本来ならば256レベル毎の度数分布を計数する。しかしながら、図2Bに示すように、輝度レベルを、例えば適当なしきい値でもってs個の領域に分割し、その領域番号と入力輝度値を対応付けるROMを挿入することで任意の領域分けを行う。この領域分けは、単純に均等分割するか、不均等分割するか、間引くかあるいは領域のオーバーラップを認めるか等、種々のバリエーションを試すことができる。

【0011】図2Cは、ADRC回路5が1ビットのADRCを行い、このADRC回路5が6ビットのコードを出力する一例である。このコードは、いわゆる輝度の度数分布をパターン化したもので、これを見ることで輝度分布が暗い方か、明るい方かに偏っているかどうかを判定することができる。

【0012】一方、遅延回路6において、上述の度数分布のパターンコードを生成するまでの時間(1フィールドまたは1フレーム+α)だけ、遅延が行われ、その出力は、ブロック化回路7および9、さらに遅延回路12へ供給される。ブロック化回路7では、補正しようとする注目画素の周辺の空間内の複数の画素が選択され、ブロック化される。そのブロック化された画素は、ADRC回路8へ供給される。

【0013】ADRC回路8では、後述するように、ブロック化された画素から最大値および最小値が選択され、各画素が再量子化されmビットのコードが発生される。このコードは、いわゆる空間の輝度の変化の様子をパターン化したものである。このコードによるクラス分類は、輝度補正そのものより、S/N比の改善、解像度の改善等に効果をもたらす。

【0014】ブロック化回路9において、補正しようとする注目画素の周辺の空間内の複数の画素が選択され、ブロック化される。このブロック化回路9においてなされるブロック化と、ブロック化回路7においてなされるブロック化とは、異なっても良い。ブロック化された画素は、ブロック化回路9から平均化回路10へ供給される。平均化回路10では、注目画素付近の輝度の平均値が算出され、算出された平均値は、シフトされ、p(<8)ビットに量子化される。

【0015】このように、ブロック化された各画素の輝度の平均値が算出され、すなわち輝度レベルをクラス分類の1つとして、レベル方向での補正の仕方に変化を持たせることができる。例えば、明るい部分や暗い部分のみを補正したり、特性を考慮した補正を行うこ

とが可能となる。また、輝度レベルの平均化による作用は、輝度補正が過敏に利くのを防止する役割も果たす。

【0016】以上の説明で、3種類のクラス分類コードが生成されたが、これを単純に組み合わると分類数が膨大になり、後述する係数ROMの容量が膨大になる。そこでADRC回路5からのnビット、ADRC回路8からのmビットおよび平均化回路10からのpビットは、縮退ROM11へ供給され、縮退ROM11において、供給された各ビット数を縮退させる。具体的には、縮退ROM11では、クラスを縮退させるために、(n+m+p)ビットからqビットに減少させたクラスコード(インデックス)が発生される。

【0017】なお、縮退の方法について、ここでは詳細を述べないが、(n+m+p)ビットで学習した全クラスに対応する係数組から、ベクトル量子化的手法として、係数間ノルムの小さいものをまとめて縮退させる方法などを使用するものとする。すなわち、2つの係数組の間で、対応する係数の距離(係数間ノルム)を求め、これに基づいて、係数の組をまとめる。

【0018】このように、縮退ROM11から最終的にqビットのクラスコードが発生し、そのqビットのクラスコードは、係数ROM14<sub>1</sub>～14<sub>N</sub>へ供給される。係数ROM14<sub>1</sub>～14<sub>N</sub>では、供給されたクラスコードでアドレッシングされ、係数データが読み出される。読み出された係数データは、それぞれ乗算器15<sub>1</sub>～15<sub>N</sub>へ供給される。

【0019】遅延合わせが行われる遅延回路12の出力がブロック化回路13へ供給され、そのブロック化回路13では、注目画素の周辺の複数の画素がブロック化される。ブロック化された各画素値は、乗算器15<sub>1</sub>～15<sub>N</sub>へ供給される。乗算器15<sub>1</sub>～15<sub>N</sub>では、係数ROM14<sub>1</sub>～14<sub>N</sub>からの係数データと、ブロック化された各画素値が乗算され、その乗算出力は、加算器16へ供給される。加算器16では、乗算器15<sub>1</sub>～15<sub>N</sub>からの乗算出力が加算される。

【0020】すなわち、乗算器15<sub>1</sub>～15<sub>N</sub>および加算器16によって、積和演算することで、輝度補正値の予測が行われる。その予測値は、D/A変換回路17において、D/A変換され、補正後の輝度値Y<sup>-</sup>として出力端子18から取り出される。

【0021】ここで、ADRC回路5またはADRC回路8として使用される構成の一例を図3に示し説明する。入力端子21からブロック化されたデータが供給される。供給されたデータは、最大値検出回路22、最小値検出回路23および遅延回路25へ供給される。最大値検出回路22において、ブロック内の画素値の最大となる値が検出され、最小値検出回路23において、ブロック内の画素値の最小となる値が検出される。減算器24では、最大値から最小値が減算され、そのブロックのダイナミックレンジDRが算出される。算出されたダイ

ナミックレンジDRは、適応再量子化回路27へ供給される。

【0022】遅延回路25では、最大値検出回路22および最小値検出回路23がそれぞれ検出にかかる時間遅延が行われ、1画素ずつ出力される。減算器26では、ブロック化された各画素から最小値が減算され、その減算値は、適応再量子化回路27へ供給される。適応再量子化回路27では、ダイナミックレンジDRに応じた所定の量子化ステップ幅を用いて、減算値の量子化を画素毎に行う。並列化回路28では、量子化された画素がブロック単位で並列化され、出力端子29からコード化データとして出力される。

【0023】ここで、係数ROMに記憶される係数データを生成する学習のためのブロック図を図4に示す。入力端子1から供給された輝度信号Yは、A/D変換回路2へ供給され、A/D変換回路2では、例えば13.5MHzでサンプリングされ、変換ROM3および遅延回路6へ出力される。変換ROM3では、上述したように供給された輝度値がある複数の領域、例えばs個の領域に分けられる。そして、領域別輝度分布回路4では、分けられたs個の領域毎に、例えば1フィールドまたは1フレーム内の度数の乗算が行われる。ADRC回路5では、例えばaビットの量子化が行われ、トータルnビット(n=s×a)のコードが発生する。このnビットのコードは、ADRC回路5から縮退ROM11へ供給される。

【0024】遅延回路6では、nビットのコードが生成されるまでの時間(1フィールドまたは1フレーム+ $\alpha$ )だけ、遅延が行われ、その出力は、ブロック化回路7および9、さらに遅延回路12へ供給される。ブロック化回路7では、注目画素の周辺の空間内の複数の画素が選択され、ブロック化される。そのブロック化された画素は、ADRC回路8へ供給される。ADRC回路8では、ブロック化された画素からmビットのコードが発生され、縮退ROM11へ供給される。

【0025】ブロック化回路9では、注目画素の周辺の空間内の複数の画素が選択され、ブロック化される。上述したように、ブロック化回路7とのブロック化とは異なっても良い。平均化回路10では、注目画素付近の輝度の平均値が算出され、算出された平均値は、シフトされ、p(<8)ビットに量子化され、縮退ROM11へ供給される。

【0026】縮退ROM11では、上述するように、クラスを縮退させるために、(n+m+p)ビットからqビットに減少させたクラスコード(インデックス)が発生される。このように、縮退ROM11から最終的にqビットのクラスコードが発生し、そのqビットのクラスコードは、学習回路33へ供給される。

【0027】遅延によるタイミング合わせが行われる遅延回路12の出力がブロック化回路13へ供給され、そ

のブロック化回路13では、注目画素の周辺の複数の画素がブロック化される。ブロック化された各画素値が学習回路33へ供給される。

【0028】そして、入力端子31から教師用の映像信号の対応する画素の輝度信号Yが入力される。この教師用の輝度信号Yには、プロのカメラマンが撮影した映像信号、または照明条件の良い映像信号が使用され、また動画のみとは限らず静止画を使用しても良い。その教師用の輝度信号Yは、A/D変換回路32において、アナログ信号からデジタル信号へ変換され、学習回路33に入力される。学習回路33では、nタップの線形一時結合モデルを形成し、その各係数データを学習回路33

で算出する。算出された各係数データは、出力端子34から取り出され、係数ROMへ格納される。また、学習回路33は、以下に述べる最小自乗法にてクラス毎に係数データを学習するものである。

【0029】学習の方法として、多数の補正対象入力画素と教師用の画像の値との関係を求める方法として、最小自乗法を採用した。まず、上述した値の間に線形1次結合の関係があると仮定し、以下に線形一次結合モデルを示す。

【0030】線形一次結合モデル：（観測方程式）  
 $XW = Y$  (1)

【数1】

$$X = \begin{bmatrix} x_{11} & x_{12} & \dots & x_{1N} \\ x_{21} & x_{22} & \dots & x_{2N} \\ \vdots & \vdots & \ddots & \vdots \\ x_{n1} & x_{n2} & \dots & x_{nN} \end{bmatrix}, \quad W = \begin{bmatrix} w_1 \\ w_2 \\ \vdots \\ w_N \end{bmatrix}, \quad Y = \begin{bmatrix} y_1 \\ y_2 \\ \vdots \\ y_N \end{bmatrix} \quad (2)$$

【0031】最小自乗法による解法：（残差方程式）

【数2】

$$XW = Y + E, \quad E = \begin{bmatrix} e_1 \\ e_2 \\ \vdots \\ e_N \end{bmatrix} \quad (3)$$

【0032】式(3)から、各 $w_i$  最確値を見出だすには、

【数3】

$$\sum_{i=1}^N e_i^2$$

$$e_i \frac{\partial e_i}{\partial w_i} + e_2 \frac{\partial e_2}{\partial w_i} + \dots + e_N \frac{\partial e_N}{\partial w_i} = 0 \quad (i = 1, 2, \dots, N) \quad (4)$$

なる、N個の条件を入れてこれを満足する $w_1, w_2, \dots, w_N$ を見出だせばよい。式(3)より、

$$\frac{\partial e_i}{\partial w_1} = x_{i1}, \quad \frac{\partial e_i}{\partial w_2} = x_{i2}, \quad \dots, \quad \frac{\partial e_i}{\partial w_N} = x_{iN} \quad (i = 1, 2, \dots, N) \quad (5)$$

となり、式(4)条件を $i = 1, 2, \dots, N$ について立てればそれぞれ、

$$\sum_{i=1}^N e_i x_{i1} = 0, \quad \sum_{i=1}^N e_i x_{i2} = 0, \quad \dots, \quad \sum_{i=1}^N e_i x_{iN} = 0 \quad (6)$$

が得られる。ここで、式(3)および式(6)から次式の正規方程式が得られる。

を最小にする条件、すなわち

【0033】

【数4】

【0034】

【数5】

【0035】

【数6】

【0036】

【数7】

$$\left\{ \begin{array}{l} (\sum_{j=1}^n x_{j1} x_{j1}) w_1 + (\sum_{j=1}^n x_{j1} x_{j2}) w_2 + \dots + (\sum_{j=1}^n x_{j1} x_{jn}) w_n = (\sum_{j=1}^n x_{j1} \delta y_j) \\ \\ (\sum_{j=1}^n x_{j2} x_{j1}) w_1 + (\sum_{j=1}^n x_{j2} x_{j2}) w_2 + \dots + (\sum_{j=1}^n x_{j2} x_{jn}) w_n = (\sum_{j=1}^n x_{j2} \delta y_j) \\ \\ (\sum_{j=1}^n x_{jn} x_{j1}) w_1 + (\sum_{j=1}^n x_{jn} x_{j2}) w_2 + \dots + (\sum_{j=1}^n x_{jn} x_{jn}) w_n = (\sum_{j=1}^n x_{jn} \delta y_j) \end{array} \right. \quad (7)$$

これは、ちょうど未知数の数N個だけある連立方程式であるから、これより最確値たる各 $w_i$ を求めることができる。

【0037】正確には、式(7)で $w_i$ にかかる  
【数8】

$$(\sum_{j=1}^n x_{jk} x_{ji})$$

のマトリクスが正則であれば解くことができる。(ただし、 $k = 1, 2, \dots, N$ 、 $i = 1, 2, \dots, N$ ) 実際には、Gauss-Jordanの消去法(掃き出し法)を用いて連立方程式を解くことになる。

【0038】次に、最小自乗法の演算を行うハードウェアのブロック図を図5に示す。図4の学習のブロック図において、補正対象の画素を中心としてブロックの画素値と対応する教師用の画素値が入力されると共に、クラスコード(インデックス)が入力される。最小自乗法の回路は、大きく分けて正規方程式生成回路41とCPU42からなり、その正規方程式生成回路41は、乗算器アレイ43、加算メモリ44およびデコード部45からなる。

【0039】CPU42は、係数データを求めるため、例えば掃き出し法の演算を行うCPUからなる。乗算器アレイ43には、注目画素位置に対して1組のメモリ(またはレジスタ)が存在し、加算メモリ44には、クラスの数だけ組のメモリ(またはレジスタ)が存在する。また、デコード部45では、供給されるクラスコード(インデックス)がデコードされる。

【0040】乗算器アレイ43について、図6を用いて説明する。補正対象の画素を中心としてブロックの画素値と対応する教師用の画素値 $\delta y$ は、正規方程式回路41の乗算器アレイ43において、図6に示すように各要素どうしの乗算が行われ、その結果が加算メモリ44へ供給される。

【0041】そして、加算メモリ44について、図7を用いて説明する。加算メモリ44は、加算器アレイ51およびメモリ(またはレジスタ)アレイ52<sub>1</sub>～52<sub>N</sub>

から構成される。乗算器アレイ43からの結果とメモリ(またはレジスタ)アレイ52からの出力が供給され、その加算結果がメモリ(またはレジスタ)アレイ52に输出される。どのメモリ(またはレジスタ)アレイ52<sub>1</sub>～52<sub>N</sub>が選択されるかは、クラスコード(インデックス)がデコード部45でデコードされることで一意に決定される。つまり、インデックスによって決定されるクラス毎にメモリ(またはレジスタ)アレイ52が選択されて、積和演算の結果がインデックスによって決定されたメモリ(またはレジスタ)アレイ52に更新され、記憶される。

【0042】なお、各々のアレイの位置は、正規方程式(7)の $w_i$ にかかる

【数9】

$$(\sum_{j=1}^n x_{jk} x_{ji})$$

の位置に対応する。正規方程式(7)を見てわかるように右上の項を反転すれば左下と同じものになるため、各アレイは三角形の形状をしている。

【0043】以上のようにして、ある一定期間の間にクラス毎に積和演算が行われて画素位置毎のさらにクラス毎の正規方程式が生成される。クラス毎の正規方程式の各項の結果は、それぞれのクラスに対応するメモリ(またはレジスタ)アレイに記憶されており、次にそれらのクラス毎の正規方程式の各項が掃き出し法の計算回路に供給される。この計算はCPU42によって行われる。計算された係数データの組は、図1に示す係数ROM14で構成される係数テーブルに書き込まれて使用される。

【0044】ここで、この発明の他の実施例を図8のブロック図を用いて説明する。入力端子1から供給された輝度信号Yは、A/D変換回路2へ供給され、A/D変換回路2では、例えば13.5MHzでサンプリングされ、平均値/標準偏差回路5<sub>1</sub>および遅延回路5<sub>2</sub>へ出力される。平均値/標準偏差回路5<sub>1</sub>では、供給された輝度値の例えれば1フィールドまたは1フレーム当りの平均

値および標準偏差が求められる。平均値／標準偏差回路55において、輝度値毎の度数分布を求めるためのテーブルを持ち、1フィールド期間または1フレーム期間に乘算した度数分布から、図9に示すように輝度の平均値

$$\text{平均値} = \frac{\sum (\text{輝度値} \times \text{度数})}{\text{全度数}} \quad (8)$$

$$\text{標準偏差} = \sqrt{\frac{\sum (\text{輝度値} - \text{平均値})^2}{\text{全度数}}} \quad (9)$$

【0046】量子化回路56では、算出された平均値および標準偏差がそれぞれaビット、bビットで量子化されて、トータルnビット ( $n = a + b$ ) のコードが発生される。このnビットのコードが量子化回路56から縮退ROM11へ供給される。さらに、このnビットのコードは、いわゆる輝度分布をパターン化したもので、これを見ることで輝度分布が暗い方か、明るい方かに偏っているかどうか、また、輝度分布が平坦か急峻かを判定することができる。

【0047】遅延回路6では、nビットのコードが生成されるまでの時間 (1フィールドまたは1フレーム+ $\alpha$ ) だけ、遅延が行われ、その出力は、ブロック化回路7および9、さらに遅延回路12へ供給される。ブロック化回路7では、注目画素の周辺の空間内の複数の画素が選択され、ブロック化される。そのブロック化された画素は、ADRC回路8へ供給される。ADRC回路8では、ブロック化された画素からmビットのコードが発生され、縮退ROM11へ供給される。

【0048】ブロック化回路9では、注目画素の周辺の空間内の複数の画素が選択され、ブロック化される。上述したように、ブロック化回路7とのブロック化とは異なっても良い。平均化回路10では、注目画素付近の輝度の平均値が算出され、算出された平均値は、シフトされ、p (<8) ビットに量子化され、縮退ROM11へ供給される。

【0049】縮退ROM11では、上述したように、クラスを縮退させるために、( $n+m+p$ ) ビットからqビットに減少させたクラスコード (インデックス) が発生される。このように、縮退ROM11から最終的にqビットのクラスコードが発生し、そのqビットのクラスコードは、係数ROM14<sub>1</sub>～14<sub>N</sub>へ供給される。係数ROM14<sub>1</sub>～14<sub>N</sub>では、供給されたクラスコードでアドレッシングされ、係数データが読み出される。読み出された係数データは、それぞれ乗算器15<sub>1</sub>～15<sub>N</sub>へ供給される。

【0050】遅延によるタイミング合わせが行われる遅延回路12の出力がブロック化回路13へ供給され、そのブロック化回路13では、注目画素の周辺の複数の画素がブロック化される。ブロック化された各画素値は、乗算器15<sub>1</sub>～15<sub>N</sub>へ供給される。乗算器15<sub>1</sub>～15<sub>N</sub>では、係数ROM14<sub>1</sub>～14<sub>N</sub>からの係数データと、ブロック化された各画素値が乗算され、その乗算値は、加算器16へ供給される。加算器16では、乗算器15<sub>1</sub>～15<sub>N</sub>からの乗算値が加算される。

が算出されると共に、標準偏差も算出される。また、式(8)には、輝度の平均値を算出する計算式を示し、式(9)には、標準偏差を算出する計算式を示す。

#### 【0045】

$$\text{平均値} = \frac{\sum (\text{輝度値} \times \text{度数})}{\text{全度数}} \quad (8)$$

$$\text{標準偏差} = \sqrt{\frac{\sum (\text{輝度値} - \text{平均値})^2}{\text{全度数}}} \quad (9)$$

【0051】すなわち、乗算器15<sub>1</sub>～15<sub>N</sub>および加算器16において、積和演算することで、輝度補正値の予測が行われる。その予測値は、D/A変換回路17において、D/A変換され、補正後の輝度値Y<sup>+</sup>として出力端子18から取り出される。

【0052】ここで、量子化回路の一例を図10に示し説明する。入力端子61から輝度値が供給される。供給された輝度値は、輝度度数分布テーブル62へ供給され、輝度度数分布テーブル62において、例えば1フィールドまたは1フレーム内の輝度レベルの度数分布のテーブルが生成される。生成されたテーブルに基づいて、平均値算出回路63では、平均値が式(8)により算出され、算出された平均値は、標準偏差算出回路64へ供給されると共に、出力端子65から取り出される。標準偏差算出回路64では、度数分布のテーブルと平均値から標準偏差が式(9)により算出され、算出された標準偏差は、出力端子66から取り出される。取り出された標準偏差が小さいときは、度数分布の幅は狭く、標準偏差が大きいときは、度数分布の幅は広くなる。

【0053】ここで、係数ROMに記憶される係数データを生成する学習のためのブロック図を図11に示す。入力端子1から供給された輝度信号Yは、A/D変換回路2へ供給され、A/D変換回路2では、例えば13.5 MHzでサンプリングされ、平均値／標準偏差算出回路55および遅延回路6へ出力される。平均値／標準偏差算出回路55では、上述したように供給された輝度値の例えば1フィールドまたは1フレーム当たりの平均値および標準偏差が求められる。平均値／標準偏差算出回路55において、輝度レベル毎の度数分布を求めるためのテーブルを持ち、1フィールド期間または1フレーム期間に乘算した度数分布から、図9に示すように輝度の平均値が算出されると共に、標準偏差も算出される。また、式(8)には、輝度の平均値を算出する計算式を示し、式(9)には、標準偏差を算出する計算式を示す。

【0054】量子化回路56では、算出された平均値および標準偏差に対してそれぞれaビット、bビットで量子化されて、トータルnビット ( $n = a + b$ ) のコードを発生する。このnビットのコードは、量子化回路56から縮退ROM11へ供給される。さらに、このnビットのコードは、いわゆる輝度分布をパターン化したもので、これを見ることで輝度分布が暗い方か、明るい方かに偏っているかどうか、また、平坦か急峻かを判定することができる。

【0055】遅延回路6では、nビットのコードが生成

されるまでの時間（1フィールドまたは1フレーム+ $\alpha$ ）だけ、遅延が行われ、その出力は、ブロック化回路7および9、さらに遅延回路12へ供給される。ブロック化回路7では、注目画素の周辺の空間内の複数の画素が選択され、ブロック化される。そのブロック化された画素は、ADRC回路8へ供給される。ADRC回路8では、ブロック化された画素からmビットのコードが発生され、縮退ROM11へ供給される。

【0056】ブロック化回路9では、注目画素の周辺の空間内の複数の画素が選択され、ブロック化される。上述したように、ブロック化回路7とのブロック化とは異なっても良い。平均化回路10では、注目画素付近の輝度の平均値が算出され、算出された平均値は、シフトされ、p(<8)ビットに量子化され、縮退ROM11へ供給される。

【0057】縮退ROM11では、上述するように、クラスを縮退させるために、(n+m+p)ビットからqビットに減少させたクラスコード（インデックス）が発生される。このように、縮退ROM11から最終的にqビットのクラスコードが発生し、そのqビットのクラスコードは、学習回路33へ供給される。

【0058】遅延合わせが行われる遅延回路12の出力がブロック化回路13へ供給され、そのブロック化回路13では、注目画素の周辺の複数の画素がブロック化される。ブロック化された各画素値は、学習回路33へ供給される。

【0059】そして、入力端子31から教師用の映像信号の対応する画素の輝度信号Yが入力される。その教師用の輝度信号Yは、A/D変換回路32において、アナログ信号からデジタル信号へ変換され、学習回路33に入力される。学習回路33では、nタップの線形一時結合モデルを形成し、その各係数データを学習回路33で算出する。算出された各係数データは、出力端子34から取り出され、係数ROMへ格納される。また、学習回路33は、上述した最小自乗法にてクラス毎に係数データを学習するものである。

【0060】この実施例では、すべてハードウェアで実現する方法を記載したが、デジタル化されたデータを計算機に取り込むことでソフトウェアで計算しても良い。

【0061】

【発明の効果】この発明に依れば、輝度分布のパターン分類から全体の輝度補正を行う効果と、空間内のパターン分類および輝度値の平均値から部分的な輝度補正を行う効果を持ち合わせており、よりきめの細かい輝度補正を行うことが可能となる。

【図面の簡単な説明】

【図1】この発明の画像信号処理装置の一実施例を示すブロック図である。

【図2】この発明に係る度数分布の説明に用いる一例の度数分布図である。

【図3】この発明に係るADRC回路の一例のブロック図である。

【図4】この発明に係る係数データの学習するための一例のブロック図である。

【図5】この発明に係る学習回路の一例のブロック図である。

【図6】この発明に係る乗算器アレイの説明に用いる一例の略線図である。

【図7】この発明に係る加算メモリの説明に用いる一例の略線図である。

【図8】この発明の画像信号処理装置の他の実施例を示すブロック図である。

【図9】この発明に係る度数分布の説明に用いる他の一例の度数分布図である。

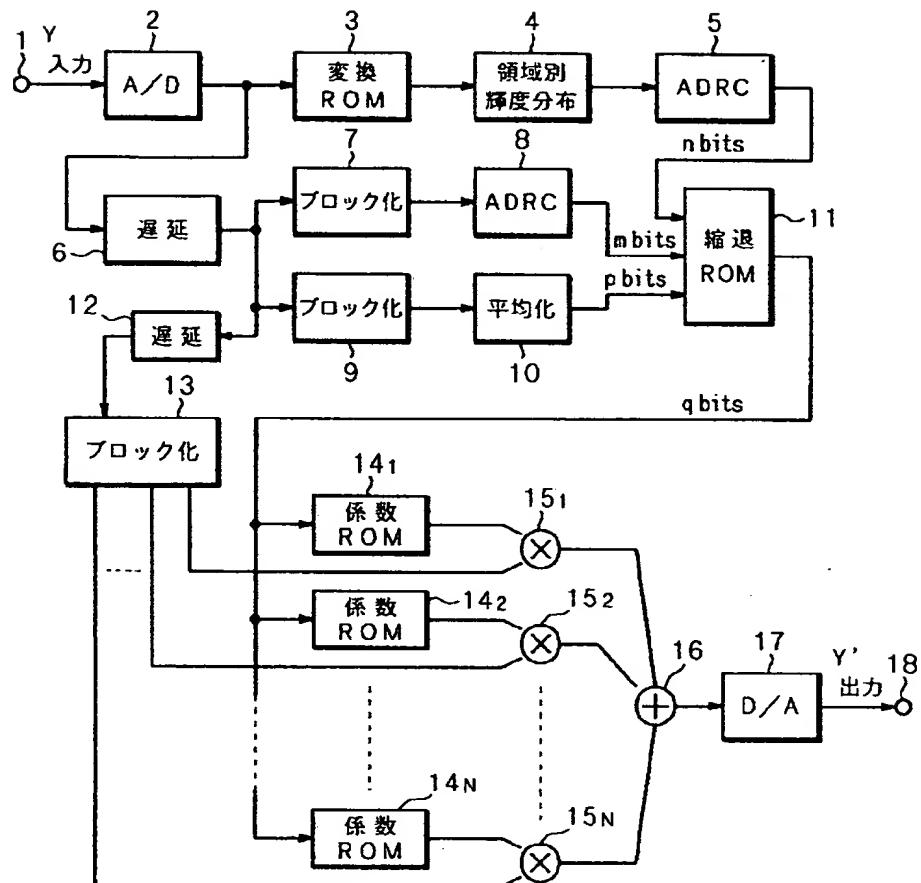
【図10】この発明に係る量子化回路の一例のブロック図である。

【図11】この発明に係る係数データの学習するための一例のブロック図である。

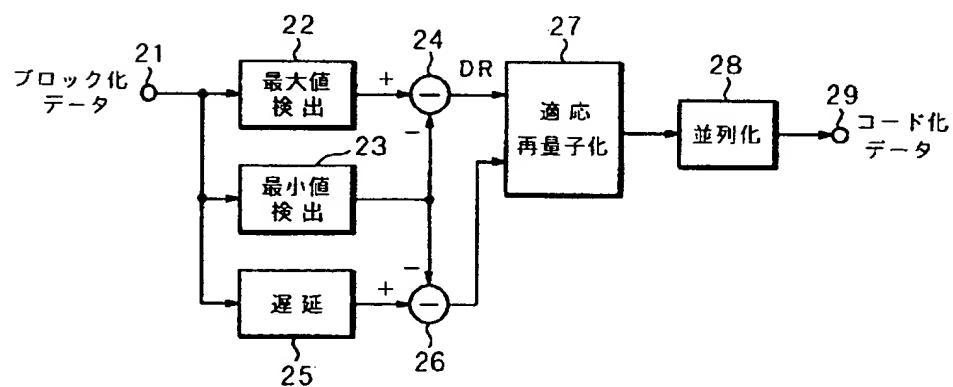
【符号の説明】

- 2、17 A/D変換回路
- 3 変換ROM
- 4 領域別輝度分布回路
- 5、8 ADRC回路
- 6、12 遅延回路
- 7、9、13 ブロック化回路
- 10 平均化回路
- 11 縮退ROM
- 14 係数ROM
- 15 乗算器
- 16 加算器

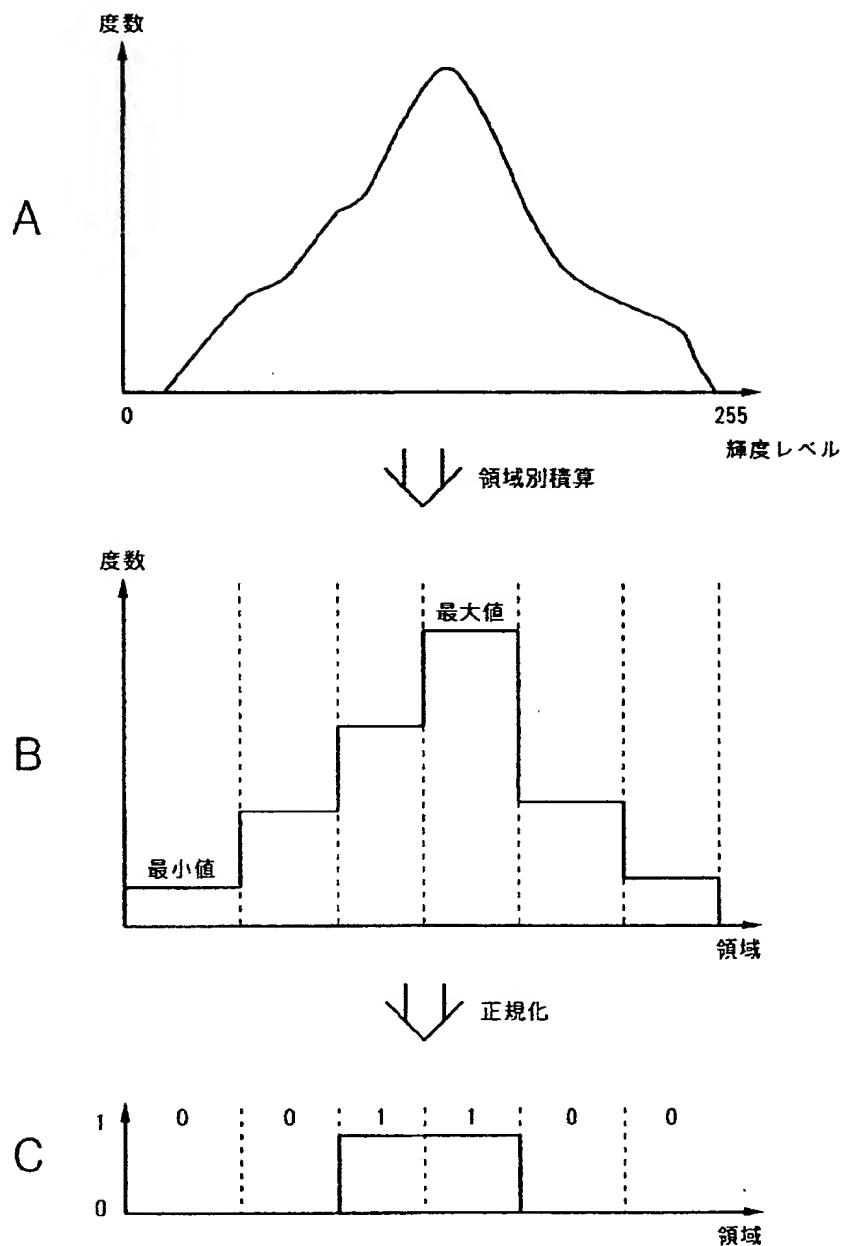
【図1】



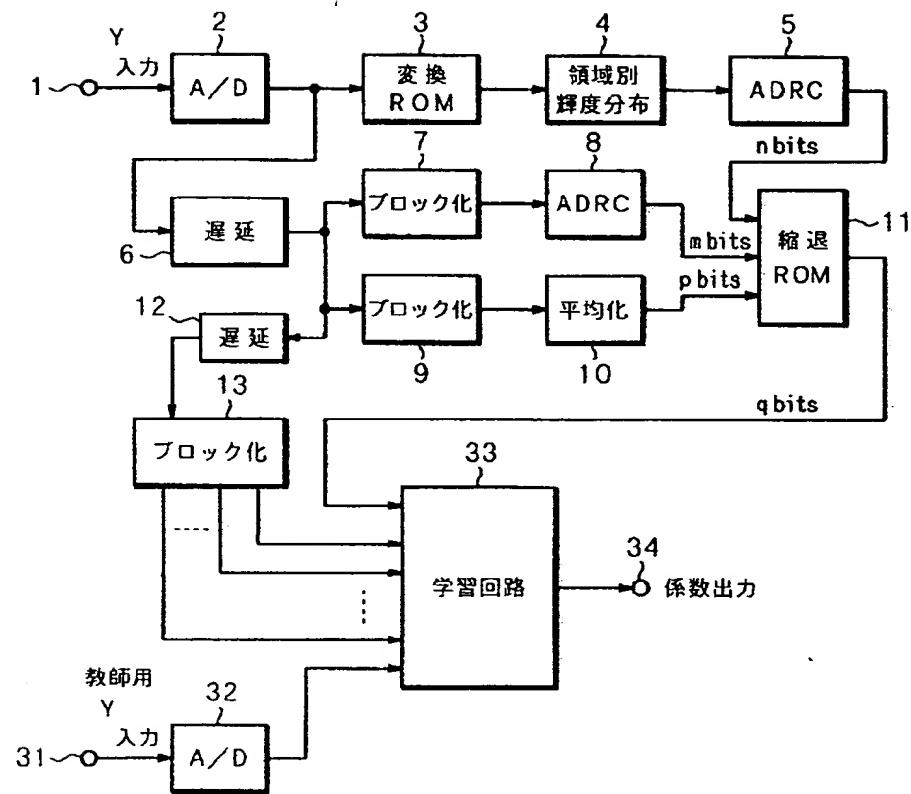
【図3】



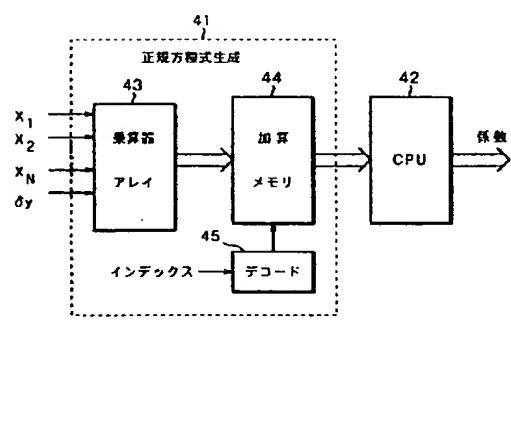
【図2】



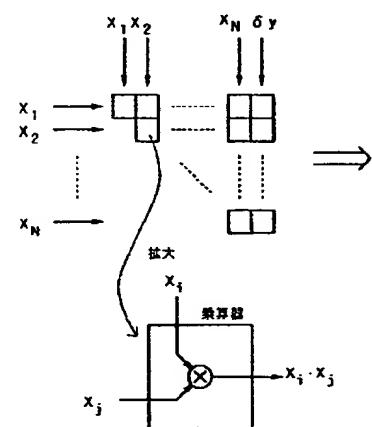
【図4】



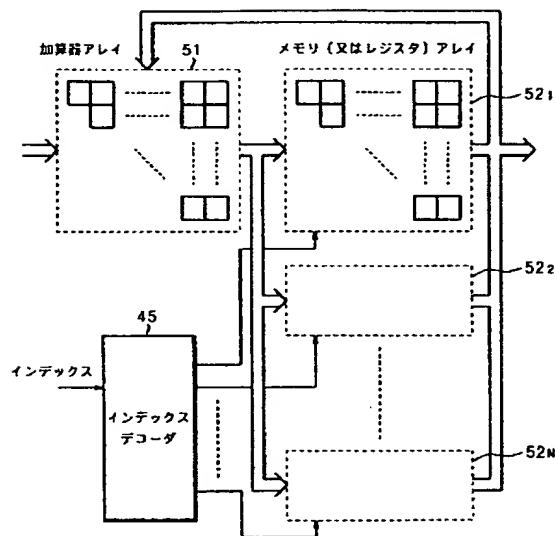
【図5】



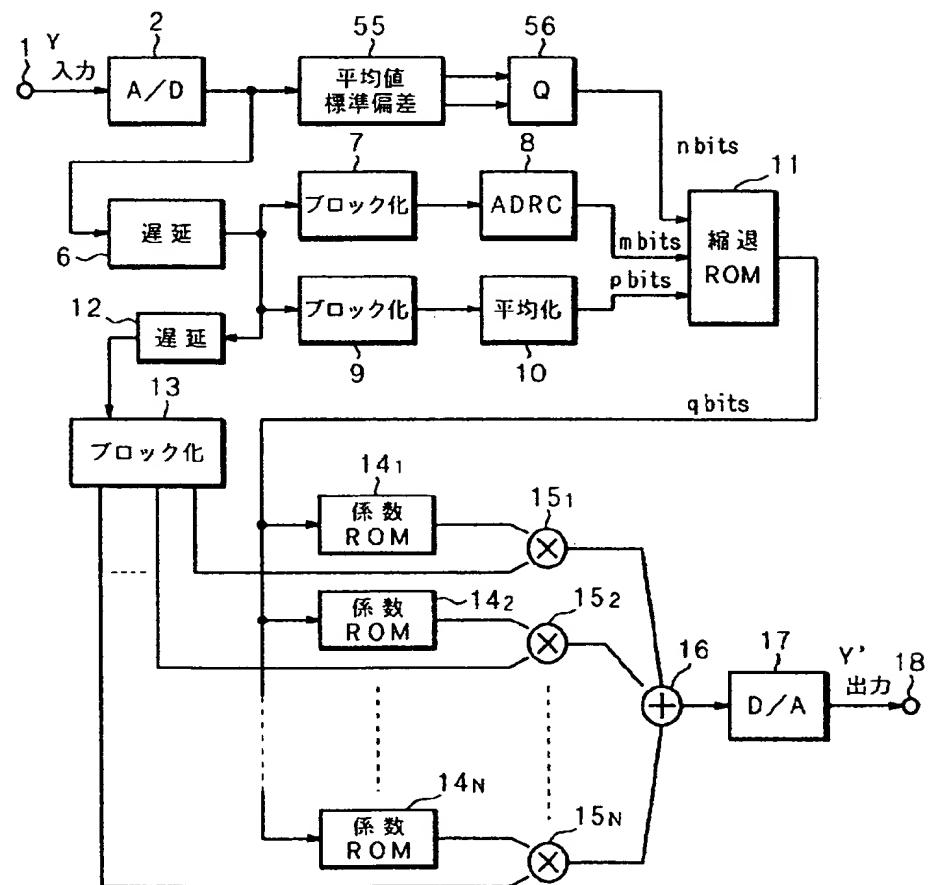
【図6】



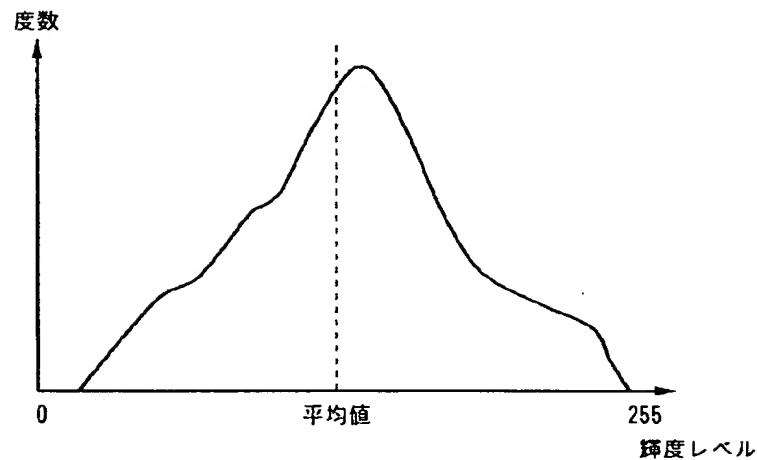
【図7】



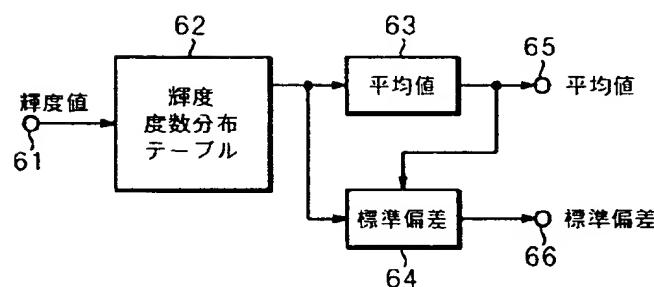
【図8】



【図9】



【図10】



【図11】

